

2/5/1  
DIALOG(R)File 347:JAPIO  
(c) 2006 JPO & JAPIO. All rts. reserv.

04098856     \*\*Image available\*\*  
SOLID-STATE IMAGE PICK-UP ELEMENT

PUB. NO.:        05-090556    [ JP 5090556    A]  
PUBLISHED:      April 09, 1993 (19930409)  
INVENTOR(s):    NAGASAKI TATSUO  
                 MORI TAKESHI  
APPLICANT(s):   OLYMPUS OPTICAL CO LTD [000037] (A Japanese Company or  
                 Corporation), JP (Japan)  
APPL. NO.:      03-101579    [JP 91101579]  
FILED:          May 07, 1991 (19910507)  
INTL CLASS:     [5] H01L-027/146; H04N-005/335  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 44.6  
                 (COMMUNICATION -- Television)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
                 CCD & BBD)  
JOURNAL:        Section: E, Section No. 1411, Vol. 17, No. 431, Pg. 163,  
                 August 10, 1993 (19930810)

#### ABSTRACT

PURPOSE: To increase the pixel capacity thereby enabling the dynamic range to be extended eliminating the complicated reading-out step or adding step of a picture image by a method wherein a charge accumulator comprising a ferroelectric formed adjacently to a photodetector capable of accumulating charge to be read-out by reading-out switch is provided.

CONSTITUTION: The title solid-state image pick-up element is composed of two n layers 2, 3 and a ferroelectric layer 4 above the layers 2, 3 formed on a p type silicon substrate 1. Next, the gate electrode 6 of a MOS transistor 5 turning ON-OFF the n layers 2, 3 as well as the drain electrode 7 connecting to the reading-out side n layer 3 are formed on the ferroelectric layer 4. At this time, a part of the ferroelectric 4 surface above the n layer 2 is made into a photodetector surface while the underneath n layer 2 and a p type silicon substrate 1 comprise a photodiode 8. On the other hand, an electrode comprising polysilicon is provided on the ferroelectric layer 4 above the n layer 2 while a charge accumulator 10 is formed on the lower part. Finally, this pixel is formed in matrix on the silicon substrate 1 while the charge is transferred by respective vertical and horizontal transfer switches

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-90556

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 5/335	E	8838-5C 7210-4M	H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平3-101579

(22)出願日 平成3年(1991)5月7日

(31)優先権主張番号 特願平2-122096

(32)優先日 平2(1990)5月11日

(33)優先権主張国 日本(J P)

(71)出願人 000000376

オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 長崎 達夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72)発明者 森 健

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

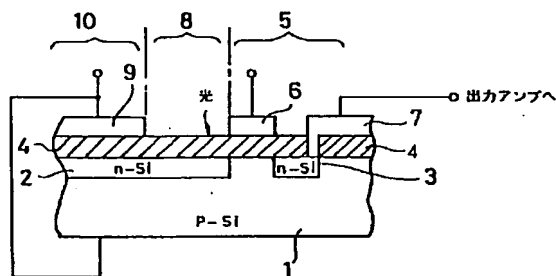
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 固体撮像素子

(57)【要約】

【目的】本発明は、画素容量を大きくしてダイナミックレンジを拡大でき、出力映像信号のS/Nを改善できる固体撮像素子を提供することを目的とする。

【構成】本発明は、半導体基板上に形成され受光量に応じた電荷を発生させる複数の受光部と、これら受光部に発生した電荷を読出するための複数の読出しスイッチと、これら読出しスイッチによって読出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、各受光部に隣接形成される電荷蓄積部を強誘電体で構成したものである。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成され受光量に応じた電荷を発生させる複数の受光部と、これら受光部に発生した電荷を讀出するための複数の讀出しスイッチと、これら讀出しスイッチによって讀出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、前記受光部に隣接形成され、前記受光部で発生した電荷が蓄積され、その蓄積電荷が前記讀出しスイッチによって讀出される強誘電体からなる電荷蓄積部を具備したことを特徴とする固体撮像素子。

【請求項2】 半導体基板上に形成され受光量に応じた電荷を発生させる複数の受光部と、これら受光部に設けられ対応する受光部で発生した電荷が蓄積される受光容量部と、水平方向に配列されている前記各受光部に対して各列毎に水平線を介して接続され、垂直方向に配列されている前記各受光部に対してはその対応する受光容量部に各列毎に垂直線を介して接続されたXYアドレス手段と、前記各垂直線毎に設けられ対応する前記受光容量部から讀出された電荷が蓄積される垂直線容量部と、前記XYアドレス手段で選択された垂直線の前記垂直線容量部から讀出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、前記各受光容量部および前記垂直線容量部が強誘電体で構成され、かつ前記各受光容量部から讀出される電荷を増幅して対応する前記垂直線へ出力する増幅回路が前記各受光部毎に設けられたことを特徴とする固体撮像素子。

【請求項3】 前記垂直線容量部に蓄積した雑音電荷を除去するために設けられたON抵抗の小さいスイッチを垂直線上に配置することを特徴とする請求項2記載の固体撮像素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOS型撮像素子等のXYアドレス方式の撮像素子におけるダイナミックレンジ拡大の改良に関する。

【0002】

【従来の技術】従来、固体撮像素子においては被写体の広い輝度範囲に対応するために、ダイナミックレンジの拡大が行われている。

【0003】固体撮像素子のダイナミックレンジを拡大する装置としては、特願昭63-232591号に示されているようなものがある。これは非破壊読出し型の撮像素子から露光時間の異なる複数の画像を讀出し、これらの画像を撮像素子外で加算することによって、ダイナミックレンジを拡大し、低輝度から高輝度までの範囲の広い輝度情報を1枚の画像で得ている。

【0004】

【発明が解決しようとする課題】しかしながら、この様

な手法によってダイナミックレンジを拡大すると、露光時間を順次変化させる駆動回路や複数の画像を加算するための加算手段が必要となるため、回路が複雑化し回路規模が大きくなるといった問題がある。

【0005】本発明は以上のような実情に鑑みてなされたもので、画素容量を大きくできて、複雑な讀出しや画像の加算を行うことなしにダイナミックレンジを拡大できる固体撮像素子を提供することを目的とする。

【0006】

10 【課題を解決するための手段】本発明は上記課題を解決するために、半導体基板上に形成され受光輝度に応じた電荷を発生させる複数の受光部と、これら受光部に発生した電荷を讀出するための複数の讀出しスイッチと、これら讀出しスイッチによって讀出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、前記受光部に隣接形成され、前記受光部で発生した電荷が蓄積され、その蓄積電荷が前記讀出しスイッチによって讀出される強誘電体からなる電荷蓄積部を設けた。

20 【0007】また上記課題を解決するために、半導体基板上に形成され受光量に応じた電荷を発生させる複数の受光部と、これら受光部毎に設けられ対応する受光部で発生した電荷が蓄積される受光容量部と、水平方向に配列されている前記各受光部に対して各列毎に水平線を介して接続され、垂直方向に配列されている前記各受光部に対してはその対応する受光容量部に各列毎に垂直線を介して接続されたXYアドレス手段と、前記各垂直線毎に設けられ対応する前記受光容量部から讀出された電荷が蓄積される垂直線容量部と、前記XYアドレス手段で選択された垂直線の前記垂直線容量部から讀出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、前記各受光容量部および前記垂直線容量部が強誘電体で構成され、かつ前記各受光容量部から讀出される電荷を増幅して対応する前記垂直線へ出力する増幅回路が前記各受光部毎に設けられた構成とした。なお、上記強誘電体とはマイカ、プラスチック（ポリスチレン、ポリプロピレン等）に代表される比誘電率の高い物質である。

【0008】

40 【作用】本発明の固体撮像素子によれば、受光部に隣接して強誘電体からなる電荷蓄積部が形成されているので、受光部で発生した電荷が逐次電荷蓄積部に蓄積されていく。この電荷蓄積部は強誘電体を用いたことにより、従来のようにSiO<sub>2</sub>等の材質を用いたのに比べて大容量化される。したがって、画素容量を増大でき、画像を加算することなくダイナミックレンジが拡大される。

【0009】また、本発明の固体撮像素子によれば、受光部で発生した電荷が蓄積される受光容量部および出力アンプへ転送される電荷がそれぞれ蓄積された垂直線容

量部が強誘電体で構成されているので、上記したように画素容量を増大でき、画像を加算することなくダイナミックレンジが拡大されるものとなる。しかも、受光部で発生した電荷は受光容量部から読出される際に増幅されるので、素子外へ出力される映像信号のS/Nを改善することができる。次に、上記電荷蓄積部、上記受光容量部、上記垂直線容量部に強誘電体を用いることによる画素容量の拡大原理について説明する。

【0010】蓄積電荷量Qと容量Cとの間には、 $Q = CV$ なる関係式があることは一般に知られているところであり、蓄積電荷量Qを増大させるためには容量Cを大きくすれば良いことになる。ここで、容量Cの単位面積当りの容量C<sub>0</sub>は次式にて示される。

$$C_0 = (K \cdot \epsilon_0) / X \quad \dots (1)$$

ただし、Kは絶縁酸化膜となるSiO<sub>2</sub>の比誘電率、 $\epsilon_0$ は真空の誘電率、XはSiO<sub>2</sub>の厚さを示している。

【0011】一般のMOS型撮像素子は絶縁酸化膜にSiO<sub>2</sub>を使用しているため、単位面積当りの容量C<sub>0</sub>は(1)式で示される。(1)式より、容量C<sub>0</sub>を増大させるためには比誘電率Kの大きい材質を使用すれば良いことがわかる。

【0012】容量を増大させたときの光電変換特性を図6に示す。通常のMOS型撮像素子の光電変換特性は実線で示す曲線となるのに対して、容量を増加させた場合には一点破線で示す特性となる。すなわち、容量が増加することによって、飽和レベルを上昇させることができる。そこで、本発明では素子を構成している半導体基板上に強誘電体を配置して、誘電率を増加させることにより容量の増大を図っている。

【0013】

【実施例】以下、本発明の実施例について説明する。

【0014】図1は本発明の第1実施例となるMOS型固体撮像素子の1画素の構成を示す断面図である。この撮像素子は、P型シリコン基板1上に2つのn層2、3が形成されていて、さらにその上面に強誘電体層4が形成されている。この強誘電体層4上には、2つのn層2、3間をオン、オフするMOSトランジスタ5のゲート電極6と、読出し側のn層3に接続されたドレイン電極7とがそれぞれ形成されている。n層2の上部に形成された強誘電体4上面の一部は受光面となっていて、この受光面の下方に位置するn層2とp型シリコン基板1とからフォトダイオード8が構成されている。n層2が形成されている上面に強誘電体層4が形成されていて、この強誘電体層4の上面にポリシリコンからなる電極9が設けられていて、この電極9の下方部に電荷蓄積部10が形成される。

【0015】そして、このように構成される画素がシリコン基板1上にマトリクス状に形成されていて、各画素の電荷が垂直転送スイッチ、水平転送スイッチにより転

送される構成となっている。

【0016】図5は以上のように構成された固体撮像素子の等価回路を示す図である。MOSトランジスタ5のドレイン電極7は、垂直転送スイッチ、水平転送スイッチを介して出力アンプ11に接続されている。この出力アンプ11は、転送電荷を電流-電圧変換し、映像信号として素子外へ出力する。次に、このように構成された本実施例の動作について説明する。

【0017】フォトダイオード8の受光面に光が入射すると、フォトダイオード8に受光量に応じた電荷が生じ電荷蓄積部10に蓄積される。なお、このとき電極9とP型シリコン基板1とは同電位に保たれているものとする。

【0018】次に、ゲート電極6に駆動パルスが印加されると、MOSトランジスタ5のゲートがオンして電荷蓄積部10に蓄積されていた電荷がドレイン電極7より読出される。この読出された電荷は垂直転送スイッチ、水平転送スイッチによって他の画素と同期して転送された後、出力アンプ11に入力し、ここで電流-電圧変換された映像信号として素子外へ出力される。

【0019】このような本実施例によれば、フォトダイオード8に隣接して形成した電荷蓄積部10に強誘電体4を用いたので、電荷蓄積部10を大容量とすることができる。そして、このような電荷蓄積部10にフォトダイオード8に生じた電荷を蓄積するようにしたので、画素容量を増大することができ、露光時間を変化させる駆動回路や複数の画像を加算するメモリを設けなくてもダイナミックレンジを拡大することができ、素子構成を簡素化できる。

【0020】例えば、強誘電体の誘電率は従来用いられていたSiO<sub>2</sub>に比べて数十から数百倍と大きくなるので、電荷蓄積部10の容量も比例して数十から数百倍に増大できる。以下、電荷蓄積部の変形例について図2～図4を参照して説明する。図2に示す変形例は、強誘電体を用いた電荷蓄積部20を、基板1に形成したV字状の溝に作り込んだ例である。

【0021】この様な変形例によれば、電荷蓄積部20の電極9が強誘電体層4上に占める割合を小さくすることができるので、開口率の低下を抑えることができる。しかも、小さな平面積で大きな電荷蓄積面積を得ることができるので、素子の小形化を図ることもできる。図3に示す変形例は、フォトダイオード8に隣接して形成された電荷蓄積部の電極として透明電極21を形成した例である。この様な変形例によれば、光が透明電極21を透過するので、電荷蓄積部を基板に埋め込まなくても開口率の低下を防ぐことができる。

【0022】図4に示す変形例は、n層2上の一部に強誘電体層4、電極9を積層して電荷蓄積部を形成し、受光部とMOSスイッチにはSiO<sub>2</sub>からなる酸化膜22を強誘電体層4に隣接させて形成した例である。なお、

この変形例において、電荷蓄積部を基板中に埋め込むことにより、開口率の低下を抑えた構成とすることもできる。次に本発明の第2実施例について説明する。

【0023】図7は第2実施例に係るXYアドレス方式の固体撮像素子の回路構成を示している。本実施例は、受光部と蓄積部とが別々に設けられていて、受光容量部に蓄積された電荷はソースホロワ構造のSIT (Static Induced Transistor)によって読出されて容量部(垂直線容量部)に蓄積されるSIT型固体撮像素子の例である。なお、図7には4つの画素のみを代表して示している。

【0024】各受光部のそれぞれの受光容量部23は強誘電体で構成されていて、その一方の端子が対応する水平線L1、L2に接続され、その他方の端子が対応する垂直線L3、L4にSIT24を介してそれぞれ接続されている。なお、受光部はSITのpn接合を利用しているので図示されていない。各水平線L1、L2の一端は垂直シフトレジスタ25にそれぞれ接続されている。一方、垂直線L3、L4の一端は各々対応するMOSスイッチ26a、26bのドレインに接続されている。このMOSスイッチ26a、26bはゲートが水平シフトレジスタ27に接続され、ソースが出力アンプ28に接続されている。また、この垂直線L3、L4の他端は、ソースが接地されたMOSスイッチ29a、29bのドレインに接続されている。さらに、この垂直線L3、L4には、強誘電体から構成された垂直線容量部31a、31bの一方の電極がそれぞれ接続されている。以上のように構成された本実施例の動作について説明する。

【0025】各受光部では入力光量に比例した電荷が発生し、その電荷はそれぞれ対応する受光容量部23に蓄積される。受光容量部23に蓄えられた電荷は、垂直シ

$$F = F_1 + (F_2 - 1) / G_1 + (F_3 - 1) / (G_1 \cdot G_2) + \dots \\ \dots + (F_m - 1) / (G_1 \cdot G_2 \cdot G_3 \dots G_{m-1}) \quad \dots (2)$$

なお、雑音係数とは各ブロックの入力信号のS/Nを、出力信号のS/Nで割ったものであるとする。

【0029】(2)式によれば、最前段の回路ブロックの利得を大きくすることにより、回路系全体の雑音係数は小さくなる。つまり、本実施例のように受光容量部23の電荷をSIT24で電流増幅してから次段の回路系となる垂直線容量部31a、31bへ転送することにより、蓄積電荷のS/Nの劣化は最小限に抑えられることになる。

【0030】また、受光容量部23および垂直線容量部31は、誘電体に強誘電体を用いているため、受光容量部23、垂直線容量部31の容量が増大して負荷インピーダンスが低下することになる。この結果、SIT24の電流増幅度が向上し、上述した理由から雑音係数も低減される。

【0031】一方、垂直線容量部31a、31bに蓄積された電荷は、水平シフトレジスタ27によって選択さ

\*フトレジスタ25によって選択された水平線毎にSIT24を介して対応する垂直線容量部31a、31bに蓄積される。

【0026】即ち、図10に示すタイミングで、水平ブランキング期間に、MOSスイッチ29a、29bに印加されるリセット信号によって各受光容量部23がリセットされ、次にSIT24のゲートに垂直ゲートパルスCを印加することによって、受光容量部23に蓄積された電荷のうち1水平ライン分の電荷がSIT24により電流増幅されて、垂直線容量部31a、31bへそれぞれ転送される。次に、垂直ゲートパルスCが立下がってSIT24がOFFし、水平ブランキング期間が終了した時点で、MOSスイッチ26a、26bが高速で順次ONして、垂直線容量部31a、31bに蓄積されていた電荷が素子外に転送され、出力アンプによって電圧信号に変換される。

【0027】ところで、本実施例ではSIT24はソースホロワ構造になっており、スイッチとして動作するだけでなく電流増幅回路としても動作する。つまり、SIT24のゲートに図10に示す垂直ゲートパルスCを印加することによって、ソースホロワ回路として能動状態となり、受光容量部23から読出された電荷が電流増幅されて垂直線容量部31a、31bに蓄積される。この電流増幅によって蓄積した電荷をS/Nの劣化を最小限に抑えた状態で素子外へ読出すことができるものとなる。これは、以下のような理由による。

【0028】図11に示す直列の回路では、各ブロックにおける利得をGm (mは回路系のブロックの順位を示す)とし、各ブロックの雑音係数をFmとすると、回路系の総合的な雑音係数Fは(2)式で表せる。

れたMOSスイッチ26のON抵抗により熱雑音が発生するが、上記(2)式に示されるように、この雑音によるS/Nの劣化は無視することができる。しかし、発生した熱雑音はMOSスイッチ26が開いた時(導通が解除された時)に垂直線容量部31に蓄積される。垂直線容量部31は受光容量部23に比べて容量が大きいため受光信号に対しては大きな雑音エネルギーとして蓄積されることになる。そして、1水平期間後のMOSスイッチ26が閉じた時に雑音として水平ライン信号に重畳することとなる。

【0032】そこで、本実施例では、垂直線L3、L4の他端にMOSスイッチ29が設けられている。すなわち、図10に示すように水平ブランキング期間において、受光信号を読出すために垂直ゲートパルスCを印加する直前に、MOSスイッチ29から垂直線容量部31にリセットパルスBを印加して上記熱雑音を取除くようにしている。

【0033】また、MOSスイッチ29の導通によっても熱雑音が発生する。熱雑音を小さくするにはON抵抗を小さくする必要がある。また、ON抵抗を小さくするにはMOSトランジスタのゲート面積を大きくすることが有効である。ゲート面積を大きくした場合にはスイッチング速度が低下するが、本実施例では水平ブランキング期間内にリセット動作を行えばよいので、そのためのスイッチング速度としては十分である。

【0034】この様に本実施例によれば、受光容量部23および垂直線容量部31に誘電体として強誘電体を用い、しかも受光容量部23の電荷をソースホロウ構造のSIT24で電流増幅して垂直線容量部31へ蓄積するようにしたので、映像信号のダイナミックレンジを拡大できると共に、しかも雑音係数を低減できて高いS/Nで電荷を出力することができる。

【0035】また、水平ブランキング期間の前半で受光信号を読み出すための垂直ゲートパルスcを印加する直前に、MOSスイッチ29から垂直線容量部31にリセットパルスbを印加するようにしたので、MOSスイッチ26が閉じた時の熱雑音を取除くことができる。

【0036】なお、上記第2実施例では、SITによってソースホロウ回路を実現しているが、MOSトランジスタによっても同様の機能を持たせることができる。なお、ソースホロウ回路にMOSトランジスタを用いる場合には、受光容量部23に蓄積した電荷をリセットするためのスイッチを設ける必要がある。

【0037】この様な変形例を図8に示す。本変形例では、同図に示すように、受光部と蓄積部は一体として構成され、ソースホロウ回路はMOSトランジスタ33で構成されている。このMOSトランジスタ33は、図9に示すように、MOS構造の酸化膜部分に強誘電体34が用いられていて、これによって受光部と蓄積部の一体構成を実現している。また、上述したようにMOSトランジスタ33にはリセットスイッチが必要となるが、図8には図示されていない。この様な変形例によっても、前記第2実施例と同様に動作して雑音係数を低減できて\*

\* S/Nの改善を図ることができる。

【0038】

【発明の効果】以上詳記したように本発明によれば、複雑な読み出しや画像の加算を行うことなく画素容量を大きくしてダイナミックレンジを拡大でき、出力される映像信号のS/Nを向上することのできる固体撮像素子を提供できる。また、本発明によれば、

【図面の簡単な説明】

【図1】本発明の第1実施例となる固体撮像素子の1画素当たりの断面図。

【図2】第1実施例の変形例であって埋込み型の電荷蓄積部を用いた固体撮像素子の1画素当たりの断面図。

【図3】第1実施例の変形例であって電荷蓄積部の上部電極に透明電極を用いた固体撮像素子の1画素当たりの断面図。

【図4】第1実施例の変形例であって受光部およびスイッチ部には従来通りの酸化膜を用い電荷蓄積部には強誘電体を用いた固体撮像素子の1画素当たりの断面図。

【図5】図1に示す固体撮像素子の等価回路図。

【図6】光電変換特性を示す図。

【図7】本発明の第2実施例となる固体撮像素子の回路構成図。

【図8】第2実施例の変形例となる固体撮像素子の回路構成図。

【図9】図8に示す変形例の受光容量部の素子構成図。

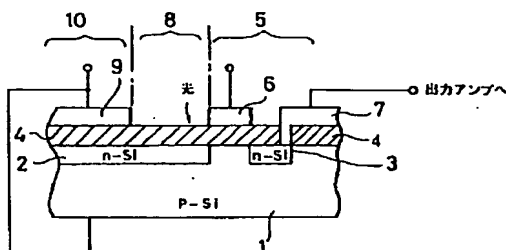
【図10】第2実施例の電荷転送動作タイミングを示す図。

【図11】雑音係数の軽減原理を説明するための図。

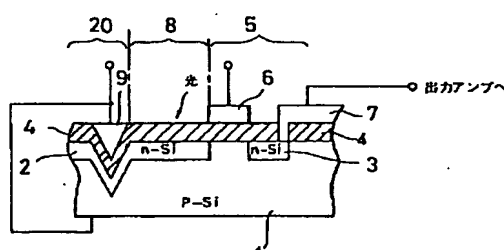
【符号の説明】

1…p型シリコン基板、2、3…n層、4…強誘電体層、5…MOSトランジスタ、6…ゲート電極、7…ドレイン電極、8…フォトダイオード、9…電極、10、20…電荷蓄積部、23…受光容量部、24…SIT、25…垂直シフトレジスタ、27…水平シフトレジスタ、31…垂直線容量部。

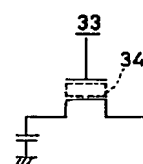
【図1】



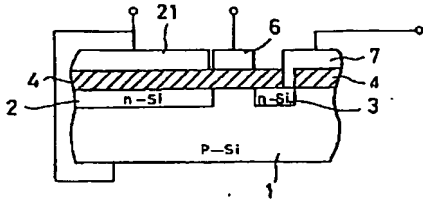
【図2】



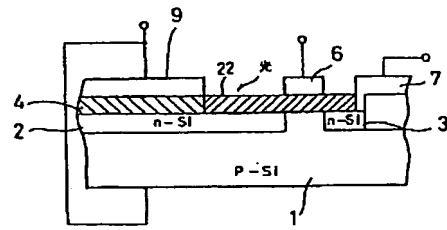
【図9】



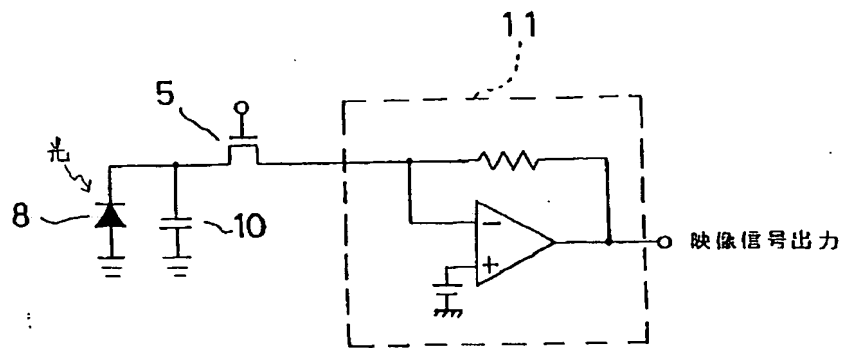
【図3】



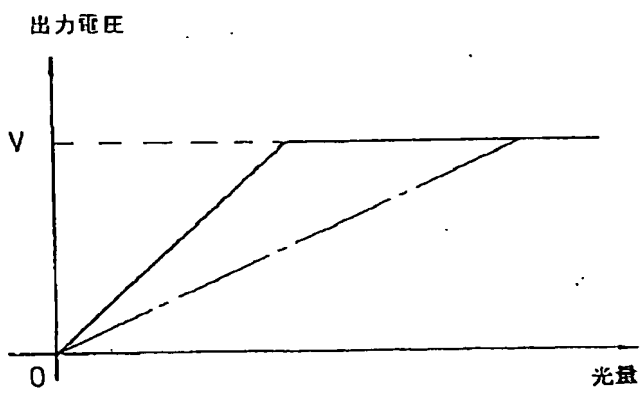
【図4】



【図5】



【図6】



水平ブランク信号 a

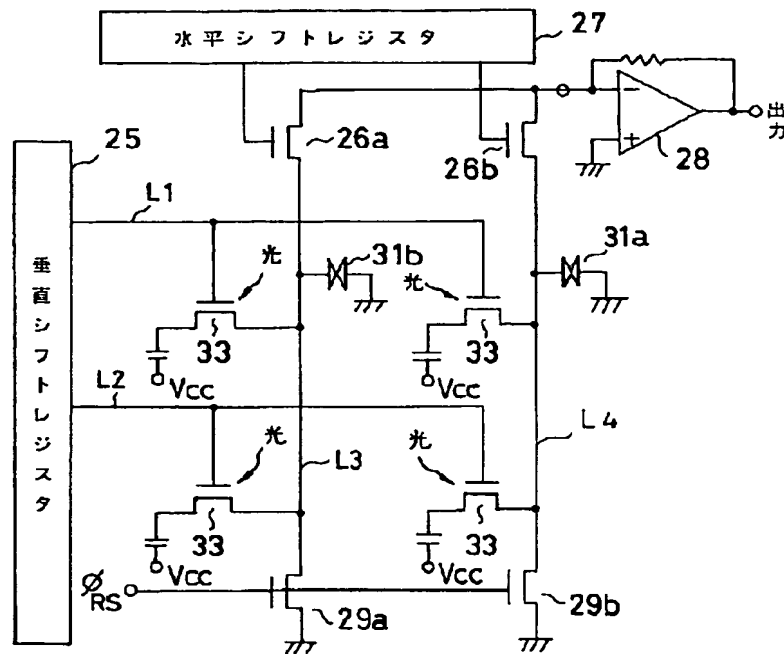
リセット信号 b

垂直ゲートパルス c

The diagram shows three signals over time. Signal a is a wide pulse. Signal b is a narrow pulse. Signal c is a narrow pulse with a duration t and a width s.



【図8】



## 【手続補正書】

【提出日】平成3年8月8日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】また上記課題を解決するために、半導体基板上に形成され受光量に応じた電荷を発生させる複数の受光部と、これら受光部毎に設けられ対応する受光部で発生した電荷が蓄積される受光容量部と、水平方向に配列されている前記各受光部に対して各列毎に水平線を介して接続され、垂直方向に配列されている前記各受光部に対してはその対応する受光容量部に各列毎に垂直線を介して接続されたXYアドレス手段と、前記各垂直線毎に設けられ対応する前記受光容量部から読出された電荷が蓄積される垂直線容量部と、前記XYアドレス手段で選択された垂直線の前記垂直線容量部から読出された電荷を映像信号に変換して出力する出力アンプとを備えた固体撮像素子において、前記各受光容量部および前記垂直線容量部が強誘電体で構成され、かつ前記各受光容量部から読出される電荷を増幅して対応する前記垂直線容量部へ出力する増幅回路が前記各受光部毎に設けられた構成とした。なお、上記強誘電体とはマイカ、プラスチック

(ポリスチレン、ポリプロピレン等)に代表される比誘電率の高い物質である。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】ところで、本実施例ではSIT24はドレインに低電圧Vcが印加されるソースホロウ構造になっており、スイッチとして動作するだけでなく電流増幅回路としても動作する。つまり、SIT24のゲートに図10に示す垂直ゲートパルスcを印加することによって、ソースホロウ回路として能動状態となり、受光容量部23から読出された電荷が電流増幅されて垂直線容量部31a、31bに蓄積される。この電流増幅によって蓄積した電荷をS/Nの劣化を最小限に抑えた状態で素子外へ読出すことができるものとなる。これは、以下のような理由による。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】一方、垂直線容量部31a、31bに蓄積された電荷は、水平シフトレジスタ27によって選択されたMOSスイッチ26のON抵抗により熱雑音が発生するが、上記(2)式に示されるように、この雑音によるS/Nの劣化は無視することができる。しかし、発生した熱雑音はMOSスイッチ26が開いた時(導通が解除された時)に垂直線容量部31に蓄積される。垂直線容量部31は受光容量部23に比べて容量が大きいため微小な受光信号に対しては大きな雑音エネルギーとして蓄積されることになる。そして、1水平期間後のMOSスイッチ26が閉じた時に雑音として水平ライン信号に重畳することとなる。

【手続補正4】

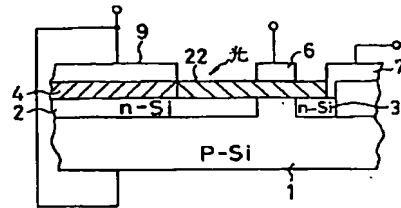
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

\*【補正内容】

【図4】



【手続補正5】

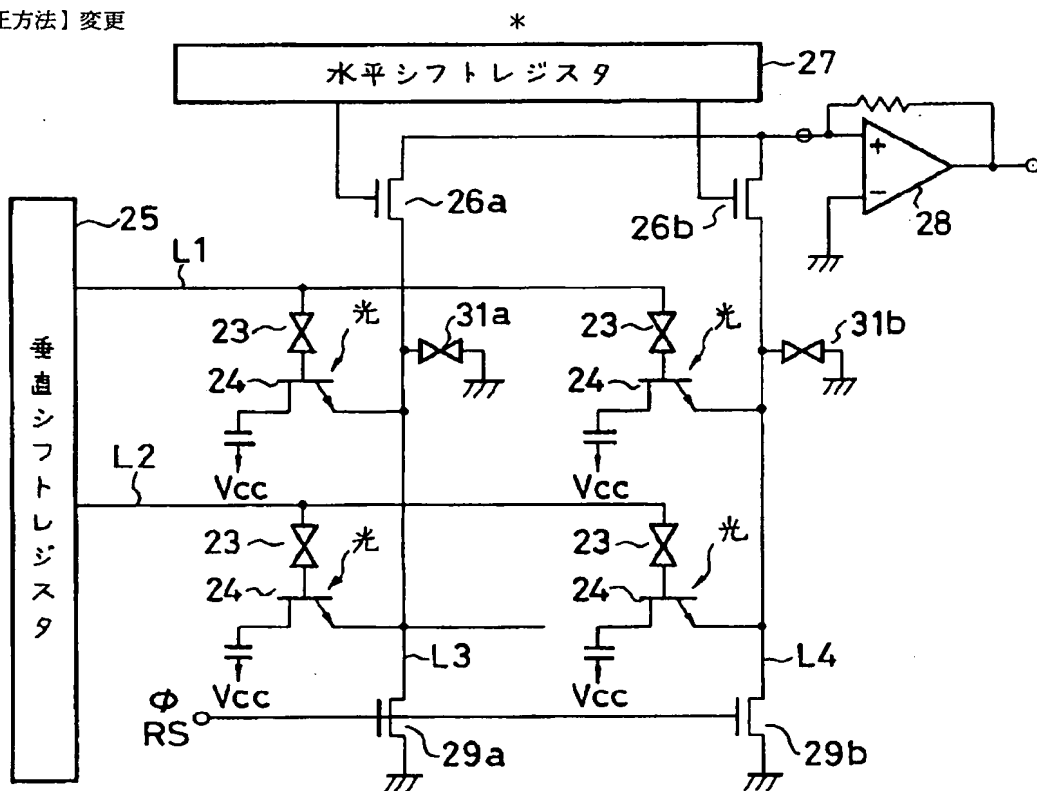
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正6】

【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】

